

SynTest社テストコンパクションツール  
*VirtualScan*<sup>TM</sup> 適用事例

2004年1月29日

NECマイクロシステム株式会社  
SoC開発事業部 SoC第三グループ

古川 寛

# Agenda

- 現在の問題
- VirtualScanとは？
- 製品**試**行結果
- 製品**適**用結果



## 現在の問題

CONFIDENTIAL

### LSIの大規模化に伴う、テストコストの増加

- テストサイクル
  - LSIの規模に比例した、テストタイムの増大
- テストパターン
  - テスターに一度に入りきらない、複数回のパターンロードによるOH
- 検出率≒不良混入率
  - テストコスト優先によるパターン削減は、検出率≒不良混入率が犠牲に
- さらに
  - 縮退故障用のスキヤンパターンに加え、遅延故障用のTransition Delayパターン

いつまでも、LSIに応じたテスターの導入も不可能

# ツールの位置づけ

## □ 手法の比較

テストコスト {  $\text{Test Cycle Volume } N \times L$   
 $\text{Test Pattern Volume } N \times L \times W$

ScanChain 1:1 (外部:内部)

N:パタン数  
 L:スキャンチェーン長  
 W:スキャンチェーン数

TetraMAX, TurboScan  
 パタン長(N)でのパタン容量削減

スキャンATPG

ScanChain 1:n

VirtualScan、TestKompres、XDBIST  
 スキャンチェーン長(L)短縮によるパタン容量削減

テストコンパクション・テストコンプレッション

ScanChain 1:n

icBIST, TurboBIST-Logic, SoCBIST  
 パタン生成器内蔵により、  
 外部スキャンパタン無し

ロジックBIST

インプリ  
 難易度<sup>4</sup>

面積、P&R、ECO、設計TAT

